

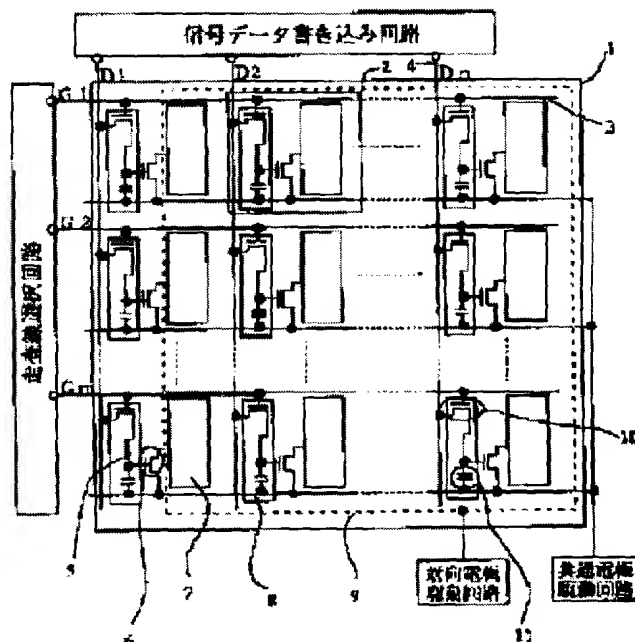
LIQUID CRYSTAL DISPLAY DEVICE

Patent number: JP9258168
Publication date: 1997-10-03
Inventor: MIKAMI YOSHIAKI; MINEMURA TETSUO; TSUMURA MAKOTO; KUWABARA KAZUHIRO; KOMURA SHINICHI
Applicant: HITACHI LTD
Classification:
 - international: **G02F1/1343; G02F1/133; G02F1/136; G02F1/1368; G02F1/13; (IPC1-7): G02F1/133; G02F1/1343; G02F1/136**
 - european:
Application number: JP19960062996 19960319
Priority number(s): JP19960062996 19960319

Report a data error here

Abstract of JP9258168

PROBLEM TO BE SOLVED: To reduce the power consumption of the panel of a liquid crystal display device by changing drive voltage of a display electrode corresponding to the data held by a display data hold circuit and controlling the display of pixel. **SOLUTION:** The display data hold circuit 5 provided in the inside of the pixel is constituted of a TFT 10 and a capacitor 11 connected to a common electrode 8, and holds a display data signal voltage answering the pixel to an on/off state as the charge voltage value of the capacitor 11. The drive of the display electrode is constituted so that the display of the pixel is controlled by controlling an AC voltage applied between the display electrode and a counter electrode 9 answering to the display data signal voltage held by the display data hold circuit 5. Concretely, a liquid crystal drive source voltage applied from the counter electrode is connected to the common electrode 8 through a liquid crystal, the display electrode and a TFT switch controlled by the display data signal voltage, and the circuit applying the voltage to the liquid crystal is used only when the switch is turned on to be controlled.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-258168

(43) 公開日 平成9年(1997)10月3日

(51) Int. Cl.⁶
G02F 1/133
1/1343
1/136

識別記号

550

500

F I

G02F 1/133

550

1/1343

1/136

500

審査請求 未請求 請求項の数21 O L (全14頁)

(21) 出願番号 特願平8-62996

(22) 出願日 平成8年(1996)3月19日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 三上 佳朗

茨城県日立市大みか町七丁目1番1号 株式会社日立製作所日立研究所内

(72) 発明者 峯村 哲郎

茨城県日立市大みか町七丁目1番1号 株式会社日立製作所日立研究所内

(72) 発明者 津村 誠

茨城県日立市大みか町七丁目1番1号 株式会社日立製作所日立研究所内

(74) 代理人 弁理士 小川 勝男

最終頁に続く

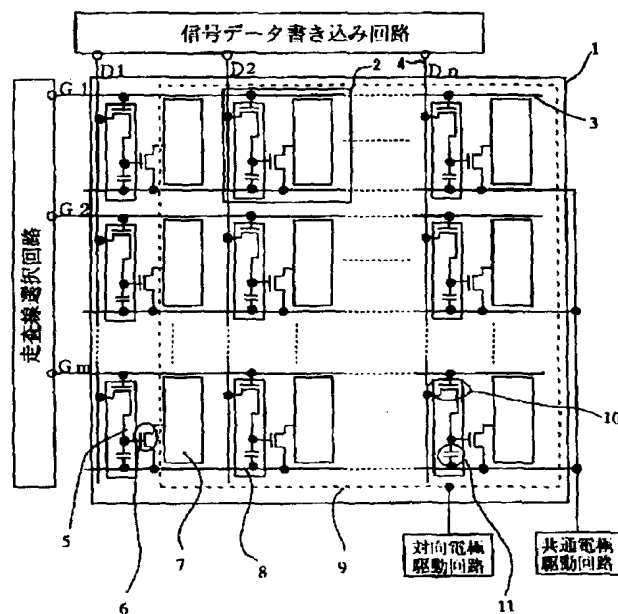
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】 低消費電力用の液晶表示装置を提供すること。

【解決手段】 複数の走査電極と複数の信号電極とにより囲まれた画素領域に、対応する走査電極と信号電極とに接続され走査信号に応動して信号電極からの表示データを取り込み保持する表示データ保持回路と、前記表示データ保持回路に接続されこの回路によってスイッチングが制御されるスイッチング素子と、スイッチング素子に接続された表示電極とを有する液晶表示装置。

図 1



【特許請求の範囲】

【請求項 1】 少なくとも一方が透明な一对の基板と、前記一对の基板間に挟持された液晶層とを有する液晶表示装置において、

前記一对の基板の一方の基板に複数の走査電極と、前記複数の走査電極にマトリクス状に交差する複数の信号電極とを有し、

前記一方の基板の前記複数の走査電極と前記複数の信号電極とにより囲まれたそれぞれの領域に、

対応する走査電極と信号電極とに接続され、走査信号に応動して信号電極からの表示データを取り込み保持する表示データ保持回路と、

前記表示データ保持回路に接続されこの回路によってスイッチングが制御されるスイッチング素子と、

前記スイッチング素子に接続された表示電極とを有することを特徴とする液晶表示装置。

【請求項 2】 請求項 1 において、前記一对の基板の他方の基板には前記表示電極に対向する対向電極を有し、前記一方の基板に前記それぞれの領域内のスイッチング素子に接続される共通電極を有することを特徴とする液晶表示装置。

【請求項 3】 請求項 2 において、前記共通電極には前記それぞれの領域内の前記表示データ保持回路が接続されていることを特徴とする液晶表示装置。

【請求項 4】 請求項 1 において、前記表示データ保持回路は、ゲートが対応する走査電極に接続され、ドレイン及びソースの一方が対応する信号線に接続される薄膜トランジスタと、前記薄膜トランジスタのドレイン及びソースの他方に接続されるコンデンサとを有することを特徴とする液晶表示装置。

【請求項 5】 請求項 4 において、前記スイッチング素子は前記表示データ保持回路の薄膜トランジスタのドレイン及びソースの他方にゲートが接続され、ドレイン及びソースの一方が前記表示電極に接続される薄膜トランジスタとを有することを特徴とする液晶表示装置。

【請求項 6】 請求項 5 において、前記一方の基板に前記表示データ保持回路の前記コンデンサ及び前記スイッチング素子の薄膜トランジスタに接続される共通電極を有することを特徴とする液晶表示装置。

【請求項 7】 請求項 1 において、前記表示データ保持回路は、ゲートが対応する走査電極に接続され、ドレイン及びソースの一方が対応する信号電極に接続される薄膜トランジスタと、前記薄膜トランジスタのドレイン及びソースの他方に接続されるメモリ回路とを有することを特徴とする液晶表示装置。

【請求項 8】 請求項 7 において、前記一方の基板に前記表示データ保持回路の前記メモリ回路に接続される共通電極を有することを特徴とする液晶表示装置。

【請求項 9】 請求項 8 において、前記メモリ回路はフリップフロップ回路であることを特徴とする液晶表示装

置。

【請求項 10】 少なくとも一方が透明な一对の基板と、前記一对の基板間に挟持された液晶層とを有する液晶表示装置において、

前記一对の基板の一方の基板に複数の第 1 の走査電極と、前記複数の第 1 の走査電極にマトリクス状に交差する複数の信号電極と、前記第 1 の走査電極又は信号電極に沿った複数の第 2 の走査電極とを有し、

前記一方の基板の前記複数の第 1 の走査線と前記複数の信号線とにより囲まれたそれぞれの領域に、

対応する第 1 の走査線、信号電極及び第 2 の走査電極とに接続され、これらの第 1 及び第 2 の走査電極の印加電圧に応動して信号電極からの信号データを取り込み保持するデータ保持回路と、

前記データ保持回路に接続されるコンデンサと、前記コンデンサに接続されコンデンサの電圧によってスイッチングが制御されるスイッチング素子と、前記スイッチング素子に接続された表示電極と、を有することを特徴とする液晶表示装置。

【請求項 11】 請求項 10 において、前記一对の基板の他方の基板には前記表示電極に対向する対向電極を有し、前記一方の基板に前記それぞれの領域内のスイッチング素子に接続される共通電極を有することを特徴とする液晶表示装置。

【請求項 12】 請求項 11 において、前記共通電極には前記それぞれの領域内の前記コンデンサが接続されていることを特徴とする液晶表示装置。

【請求項 13】 請求項 10 において、前記データ保持回路のそれぞれは、

ゲートが対応する第 1 の走査線に接続され、ドレイン及びソースの一方が対応する第 2 の走査電極に接続される第 1 の薄膜トランジスタと、

ゲートが対応する信号電極に接続され、前記第 1 の薄膜トランジスタと前記コンデンサとに直列接続される第 2 の薄膜トランジスタとを有することを特徴とする液晶表示装置。

【請求項 14】 少なくとも一方が透明な一对の基板と、前記一对の基板間に挟持された液晶層とを有する液晶表示装置において、

前記一对の基板の一方の基板に複数の走査電極と、前記複数の走査電極のそれぞれに複数本がマトリクス状に交差する複数の信号電極とを有し、

前記一方の基板の前記複数の走査電極と前記複数の信号電極とによって囲まれた画素を構成するそれぞれの領域に、

対応するそれぞれの信号電極に接続され、走査信号に応動して前記信号電極からの信号データをサンプリングし保持するサンプリングデータ保持回路と、

前記サンプリングデータ保持回路に接続され、このサンプリングデータ保持回路のサンプリング状態に応じて前

記画素の表示階調を選択する階調選択回路と、前記階調選択回路に接続された表示電極と、を有する液晶表示装置。

【請求項 1 5】請求項 1 4 において、前記サンプリングデータ保持回路は、

ゲートが対応する走査電極に、ドレイン及びソースの一方がそれぞれ対応する信号電極に接続され、走査電極に

応動して前記それぞれの信号電極からの信号データをサンプリングする複数の薄膜トランジスタと、前記複数の薄膜トランジスタのそれぞれのドレイン及び

ソースの他方が接続され、これらの薄膜トランジスタによってサンプリングされた信号データを保持する複数のサンプリングコンデンサと、を有することを特徴とする液晶表示装置。

【請求項 1 6】請求項 1 5 において、前記階調選択回路は、前記複数のサンプリングのための薄膜トランジスタのそれぞれのドレイン及びソースの他方にゲートが接続され、前記サンプリングコンデンサの信号データの保持状態に応じて前記表示電極を駆動する複数の薄膜トランジスタを有することを特徴とする液晶表示装置。

【請求項 1 7】請求項 1 6 において、前記一方の基板に前記サンプリング保持回路の前記複数のコンデンサ及び前記階調選択回路の前記複数の薄膜トランジスタに接続される共通電極を有することを特徴とする液晶表示装置。

【請求項 1 8】請求項 6 において、前記薄膜トランジスタはコプレーナ型構造で形成されていることを特徴とする液晶表示装置。

【請求項 1 9】請求項 6 において、前記薄膜トランジスタは逆スタガ型構造で形成されていることを特徴とする液晶表示装置。

【請求項 2 0】請求項 6 において、前記薄膜トランジスタは正スタガ型構造で形成されていることを特徴とする液晶表示装置。

【請求項 2 1】請求項 6 において、前記一方の基板上に形成したそれぞれの領域の走査電極、信号電極及び共通電極と表示電極間の静電容量である液晶容量と、信号電極と透明電極間の静電容量である信号電極容量と、走査電極と信号電極との交差部分の静電容量である配線容量と、走査配線数との間に、

〔液晶容量〕 < {〔信号電極容量〕 + 〔配線交差部容量〕} × 〔走査配線数〕

の関係が成立することを特徴とする液晶表示装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】本発明は液晶ディスプレイに係り、特に低消費電力用の T F T アクティブマトリクス液晶表示装置に関する。

【0 0 0 2】

【従来の技術】従来の T F T アクティブマトリクス駆動

方式について以下に説明する。なお、これまでに知られているアクティブマトリクスパネル技術については、小林俊介著、カラー液晶ディスプレイ（産業図書）に詳しく説明されている。

【0 0 0 3】T F T アクティブマトリクス液晶ディスプレイを駆動する際に線順次走査方式が採用されており、各走査電極には、1 フレーム時間ごとに 1 回走査パルスが印加される。1 フレーム時間としては 1 / 6 0 秒程度がよく用いられ、このパルスは通常パネルの上側から下に向かって順次タイミングをずらしながら印加する。従って、画素構成として、6 4 0 × 4 8 0 ドットのカラーパネルでは、1 画素が 3 ドットから構成されるため、総ドット数は 1 9 2 0 × 4 8 0 ドットとなり、1 フレーム内に 4 8 0 本のゲート配線を走査するので、走査パルスの時間幅は約 3 7 μ s である。

【0 0 0 4】一方、信号電極には走査パルスが印加される 1 行分の画素の液晶に印加する液晶駆動電圧を走査パルスに同期して一斉に印加する。ゲートパルスを印加された選択画素では走査電極に接続された T F T のゲート電極電圧が高くなり、T F T がオン状態になる。このとき、液晶駆動電圧は、T F T のソース、ドレイン間を経由して表示電極に印加され、表示電極と、対向基板上に形成した対向電極との間に形成される液晶容量と、画素に配置した負荷容量とを合わせた、画素容量を充電する。この動作を繰り返すことにより、パネル全面の画素容量には、フレーム時間ごとに繰り返し液晶印加電圧が印加される。

【0 0 0 5】また、液晶を駆動するためには交流電圧が必要であるため、フレーム時間ごとに極性を反転した電圧を信号電極に印加する。従って、通常 6 0 ヘルツのフレーム周波数に対し、液晶駆動周波数はこの 1 / 2 の周波数である 3 0 ヘルツとなり、フリッカーと呼ばれるちらつきが見え、表示を見づらくさせている。フリッカーを見えないようにするため、上下、左右に隣合う画素毎に液晶駆動電圧の極性を交互に反転させることで、フリッカーが目立たない駆動方式を用い良好な表示を得てきた。

【0 0 0 6】その結果、パネルを駆動するための電力の多くが、走査、信号配線の交差部容量、また、配線と、対向基板上全面に形成した対向電極との間の液晶の容量をゲートの選択時間ごとに充放電を繰り返すために消費される。

【0 0 0 7】

【発明が解決しようとする課題】現在のパネル構造、駆動方式では、パネルの総合消費電力に占める走査、信号配線の交差部容量、また、配線と、対向基板上全面に形成した対向電極との間の液晶の容量をゲートの選択時間ごとに充放電を繰り返すためになどの消費電力が大きく、従来技術の範囲内で消費電力の低減を図ろうとすると、配線幅を狭める、液晶駆動周波数を下げるなどの改

良が可能であるが、配線幅を狭めることによりハイインピーダンスが増大し、駆動波形の遅延、歪を引き起こす。また、駆動周波数の低減は、フリッカーの発生、表示応答速度の低下を引き起こすことにつながる。本発明の目的は、低消費電力用の液晶表示装置を提供することにある。また、本発明の他の目的は、パネル内に表示データを保持する機能を設けることにより、画像メモリ不要の簡略な表示システム構成による液晶表示装置を提供することである。さらに、本発明の他の目的は多階調表示を達成できる液晶表示装置を提供することにある。

【 0 0 0 8 】

【課題を解決するための手段】本発明の液晶表示装置によれば、基板の複数の走査電極と複数の信号電極とにより囲まれた画素領域のそれぞれに、対応する走査電極と信号電極とに接続され、走査信号に応動して信号電極からの表示データを取り込み保持する表示データ保持回路と、表示データ保持回路に接続されこの回路によってスイッチングが制御されるスイッチング素子と、スイッチング素子に接続された表示電極とを有する。

【 0 0 0 9 】表示データ保持回路によって保持されたデータに対応して、表示電極の駆動電圧を変化させ、画素の表示を制御する。

【 0 0 1 0 】本発明の実施態様によれば、表示データ保持回路は、ゲートが対応する走査電極に接続され、ドレイン及びソースの一方が対応する信号線に接続される薄膜トランジスタと、薄膜トランジスタのドレイン及びソースの他方に接続されるコンデンサとを有する。また、スイッチング素子は表示データ保持回路の薄膜トランジスタのドレイン及びソースの他方にゲートが接続され、ドレイン及びソースの一方が前記表示電極に接続される薄膜トランジスタを有する。表示データ保持回路を構成するコンデンサ及び表示電極に接続される薄膜トランジスタは共通電極に接続される。

【 0 0 1 1 】表示データ保持回路は、走査電極を選択する走査信号に同期して信号電極から供給される表示データ信号電圧をデータ保持用 T F T を介してデータ保持用コンデンサに導入し、電圧情報として画素の表示データを保持する。表示データ保持回路としては、このほかに複数の T F T を用いて構成したフリップフロップ、データラッチなどのデジタル回路を用いても良い。この場合は、T F T の電気特性によらず、電源を供給している間はデータが消失せず表示データを保持し続けることができるという利点がある。画素の明暗を制御する液晶駆動電圧は表示電極と対向電極との間に挟持した液晶の容量に印加される交流電圧により決定される。表示制御用 T F T がオン状態のときは、対向電極に液晶駆動電源電圧を印加すると液晶に印加されるが、オフ状態にあれば、液晶には印加されない。以上の構成にすることにより、各画素の液晶印加電圧は、画素内の表示データ信号電圧により制御される。

【 0 0 1 2 】このとき、表示データ保持回路は、表示データ信号電圧であるデータ保持用コンデンサの両端の電圧が T F T もしくはコンデンサのリークなどにより、表示制御用 T F T のしきい値電圧以下に放電するまで、表示データを保持し続けることができる。この放電までの時間はデータ保持用 T F T のリーク電流値とデータ保持用コンデンサ容量とにより決定されるが、通常 T F T のリーク電流値が非常に小さく、フレーム時間の代表値である 1 6 . 6 m s よりも十分長い。しかも、液晶駆動電圧は対向電極より全画素に一斉に印加することができるので、表示内容が変化しない画素は一旦表示データ信号電圧を変化させ、データ保持用 T F T をオンまたはオフすれば、液晶駆動電圧のみを印加することで表示を維持することが可能になる。走査信号及び、表示データ信号電圧は表示内容を書き替える場合のみ印加すれば良く、したがって、パネル内部での消費電力を低減しつつ良好な表示を得ることができる。

【 0 0 1 3 】更に、本発明の液晶表示装置によれば、基板の複数の走査電極と複数の信号電極とによって囲まれた画素領域に、対応するそれぞれの信号電極に接続され、走査信号に応動して信号電極からの信号データをサンプリングし保持するサンプリングデータ保持回路と、サンプリングデータ保持回路に接続され、このサンプリングデータ保持回路のサンプリング状態に応じて画素の表示階調を選択する階調選択回路とを有する。

【 0 0 1 4 】階調表示を行う場合には、多ビットの表示データ信号を用いることにより可能となる。多ビットデータを扱うためには 1 画素につき、複数の信号電極に接続されるサンプリングデータ保持回路を設け、多ビット表示データ信号電圧を画素内に保持する。階調選択回路では、対向電極と共通電極との間に液晶画素容量を含む、複数の抵抗又はコンデンサを用いた多段式の分圧回路を形成し、T F T スイッチを用い、各ビットに対応して、液晶画素容量への印加電圧の液晶駆動電源電圧に対する分圧比を制御することにより階調表示が可能となる。

【 0 0 1 5 】本発明によれば、特に走査及び信号配線と対向基板との間に形成される容量において消費される電力、及び、走査及び信号配線との交差部の容量により消費される電力とを低減することができる。

【 0 0 1 6 】本願発明の液晶表示装置の実施態様によれば、画素内部に設けた表示データ保持回路は、走査、信号配線と接続した T F T 及び共通電極に接続したコンデンサから構成され、画素をオン、オフ状態に対応する表示データ信号電圧として、コンデンサの充電電圧値として保持することができる。また、表示電極の駆動は、表示データ保持回路で保持している表示データ信号電圧に対応して表示電極と対向電極間に印加する交流電圧を制御することにより画素の表示を制御する。

【 0 0 1 7 】具体的には対向電圧から印加する液晶駆動

電源電圧を液晶、表示電極及び、表示データ信号電圧により制御されるTFTスイッチを介して共通電極に接続し、スイッチをオンした場合のみ、液晶に電圧が印加される回路を用いることにより、制御することができる。すなわち、一旦走査信号及び表示データ信号電圧により画素内に表示データ電圧を保持することにより、データが保持されているかぎり、対向電極に印加する交流の液晶印加電圧のみを印加することにより表示を維持することができる。

【0018】従来技術では画素が保持するのは、表示データではなく液晶印加電圧そのものであり、液晶をフレームごとに極性を反転させて駆動させなくてはならないため、表示内容の変更の有無によらず、各フレームごとに全画素について、液晶印加電圧の極性を書き替えてきた。

【0019】一方、本発明によれば、各画素に設けた表示データ保持回路により、画素表示のオン、オフ、表示データ信号電圧を画素内に保持することができる。また、表示電極の駆動は、表示データ信号電圧に対応して、表示電極と、共通電極間の導通を制御し、共通電極と対向電極との間に印加した液晶駆動電圧の分圧比を調整することにより、画素の液晶に印加される電圧を制御することができる。この結果、液晶の表示内容の変更と、表示のための、液晶を駆動する電源とを個別に制御又は印加することが可能となり、表示内容を変更しない場合には、対向電極から液晶駆動電圧のみを印加することで表示を維持することが可能となり、画素駆動電力のうち、大部分を占めていた、信号電極や、走査電極を介しての周期的な画素電圧の書き替え動作を不要とし、パネルの消費電力を大幅に低減することができる。

【0020】また、表示データ保持回路として、複数このTFTを用いたフリップフロップ回路や、データラッチ回路などのデジタルメモリ回路を用いて、表示データをこれらの回路の電圧状態として保持することもでき、この場合は、保持動作に対し、電源を必要とし、若干の電力を消費するものの、保持したデータは安定しており消失することは無い。

【0021】また、走査電極と、信号電極の電圧の組み合わせにより特定の画素を選択する画素選択機能を具備することにより、1画素ごとに選択し、表示を書き替えることができる。これにより、表示を変更する場合には変更する画素のみを選択的に書き替えることが可能となり、表示制御が簡略化される。

【0022】なぜなら、従来方式の液晶表示方式のパネルでは、表示を制御するためにはフィールドごとに全画素の液晶印加電圧を書き替えねばならず、多くの場合、VRAMと呼ばれる、半導体メモリを設け、パネルの画素毎に対応するメモリを領域を用いて、表示イメージを別途保持しておき、この情報を毎フレーム時間毎に周期的に繰り返し読みだして、DA変換などにより画素の信号電

圧をシーケンシャルに生成する必要があった。しかし、本発明の構成を用いることによりVRAMは不要となり、各画素の表示データは直接画素に書き込むことが可能となり、表示システムの構成が簡略化できるためである。

【0023】

【発明の実施の形態】以下、図面を参照して本発明の液晶表示装置を詳しく説明する。

【0024】図1は本発明による液晶表示装置の第1の実施例のブロック図である。TFT基板上に形成した表示部1には画素部2が縦 $m \times$ 横 n ドットがマトリクス状に配置されている。画素内部には走査電極3及び信号電極4の交差部にサンプリングTFT10とサンプリングコンデンサ11からなる表示データ保持回路5と、画素駆動TFT6と、表示に用いる透明電極7を配置する。各走査電極は走査線選択回路、信号電極は信号データ書き込み回路に接続されている。

【0025】また、共通電極8は列ごとに共通に走査電極と並行して配置され、さらに相互に接続して全画素を共通に接続されており、共通電極駆動回路により駆動される。液晶を挟んでTFT基板上の透明電極に対向して設けた対向基板の対向電極9は、対向電極駆動回路により駆動される。TFT基板、対向基板の外に図示していないが、基板の両側に偏光板及び片側にバックライトを配置して液晶表示装置が構成される。

【0026】これらの回路はTFTを用いてTFT基板上に一体形成することは表示装置の小型化に有効であるが、個別にLSI組み合わせで構成してもよい。

【0027】次に図3に示す画素の駆動波形を用いて動作原理について説明する。走査線選択回路により選択された走査配線にサンプリングTFTのしきい電圧以上の電圧が印加されると、走査配線 G_m が選択され、走査配線を同じくする1列分の画素が一斉に選択され、画素選択動作状態になり、サンプリングTFT10がオンする。このとき、信号データ書き込み回路からすべての信号配線には、1列分の画素の表示データを表す信号データ電圧が一斉に印加される。

【0028】ある信号配線 D_n の信号データ電圧がサンプリングTFT10を介してサンプリングコンデンサ11を充電し、コンデンサの端子電圧であるサンプリング電圧 V_{mem} が変化する。コンデンサの一端はスイッチとして動作する画素駆動TFT6のゲート端子に接続されており、サンプリング電圧は画素駆動TFTのオン、オフ状態を制御する。サンプリング電圧がTFTのしきい値電圧以上であるとTFTはオン状態となり、ソース、ドレイン間が導通し、透明電極は共通電極と導通する。対向電極駆動回路により対向電極9に印加した液晶駆動電圧 V_{cnt} は、液晶を介して表示電極から共通電極間に印加され、表示はオン表示となる。

【0029】一方、サンプリング電圧がしきい値電圧以

下であると画素駆動TFTがオフ状態となり、表示電極と共通電極とが切り離され、液晶印加電圧が液晶に印加されないため、表示状態はオフ表示となる。このように、信号配線を介して画素に書き込まれる信号データ電圧は、従来技術とは異なり、信号電極から供給される信号電圧が、表示電極に接続され、直接液晶に印加される画素において液晶を直接駆動するのではなく、表示状態を制御するための信号電圧としてサンプリングコンデンサに印加される。また、サンプリングコンデンサに一旦書き込まれた後に、走査電極が次に選択されるまでの期間中は、信号データ電圧はサンプリングTFT及びサンプリングコンデンサの漏れ電流によりサンプリング電圧は徐々に減衰するが、表示品質は、画素駆動TFTのしきい値電圧を越えて変化するまで変化しないので、表示データ保持回路の時定数はフレーム時間よりも十分長くなり、サンプリング電圧を良好に保持することができる。従って、画素の表示状態はフレーム時間よりも十分長い期間保たれる。

【0030】従来技術では信号配線から印加される電圧により液晶を直接駆動しており、TFTや、液晶のリークによる液晶電圧の変動は表示品質を低下させる要因となっていた。たとえば、データ保持用TFTのリーク電流が0.1 pA、しきい値電圧が1 V、データ保持用コンデンサ容量1 pFで、表示データ信号電圧10 Vの場合、データ保持用TFTのしきい値である1 Vまで放電するのに要する時間は、90秒となる。この時間は、従来技術の1/60秒毎に走査する場合に比べ、5400倍も長い。さらに、液晶駆動電圧は、フレーム毎に極性を反転されなければならない、そのため、表示内容に変更が無くても、全ての画素について液晶駆動電圧を、フレーム時間毎に極性を反転させた電圧を書き込まなければならない。

【0031】本実施例によれば、表示を書き替える場合にのみ走査電極、信号電極を駆動すれば良く、表示を変更しない場合には共通電極及び対向電極間にのみ液晶駆動電圧を印加することにより表示が維持できるため、パネルの表示電力を低く抑えることができる。表示の書き替えは、走査電極単位となるので、表示を書き替えたい部分のみの走査電極を駆動すればよい。しかしながら、この電圧は画素駆動TFT及びサンプリングコンデンサの絶縁リーク、サンプリングTFTのオフ電流によるリークにより徐々に変化するので表示を変更しない場合は、適宜サンプリング電圧を書き替えればよい。例えば、画面のちらつき、フリッカー等が生じない範囲内で周期的に書き替えればよい。

【0032】この点を解決するための他の実施例としては、図4に示すように、表示データ保持回路としてTFTを複数個用いて構成したメモリ回路を用いればよい。本実施例によれば、サンプリングTFT10の出力はサンプリングコンデンサの代わりに設けたメモリ回路13

を介して画素駆動TFT6のゲート端子に接続される。メモリ回路の駆動のためには電源配線14が必要であるが、サンプリング電圧を回路の状態として保持するので、一旦書き込まれた状態は電源を切るか、あるいは新たな状態を書き込むまで情報を保持し続けることができ、いつまでも画素の表示状態を維持することができる。

【0033】このメモリ回路の構成としては、図4で示した回路構成のほかに、フリップフロップ回路、CMOS素子を用いたスタチックメモリセル回路を用いてもよい。表示データ保持回路を有する画素は、2層配線が可能で、層間接続が可能な多層配線技術と、コンデンサと、TFTが形成できれば良く、現在用いられているp-Siコプレーナ型構造、逆スタガ構造、正スタガ構造のいずれのプロセス、構造においても適用が可能である。図2で示した画素のマスクパターン及び断面図を図5から図11に示す。図5～図7はコプレーナ型構造のTFTを用いた場合で、図5、図6は画素部マスク図、図7は図5のA-B及びC-D部の断面図である。このTFT基板を形成するプロセスの概略を述べる。

【0034】初めにLPCVD法によりシリコン膜を形成し、500～600度、20～100時間程度の熱アニールにより多結晶化させ、その後パターニングすることにより、TFT部10、11の島状Siパターンを形成しており、この層を用いてサンプリングコンデンサ11の下部電極54も兼用する構造である。次にゲート絶縁膜16として二酸化シリコン膜をAPCVD法により形成し、続いてTFT部のゲートSi層をLPCVD法により形成する。次にSiと、二酸化シリコン膜の2層をドライエッチング法によりTFT10、11のゲート部51を形成する。

【0035】次にイオン打ち込み法によりリンイオンなどのドーパントを島状Siパターンのソース、ドレイン領域及びゲートSi層に打ち込み、続いて熱処理により活性化させ、低抵抗のn型Siに変化させる。次にTFT保護膜52として二酸化シリコン膜を形成し、第1コンタクトホール53を形成し、Crなどの金属膜により走査電極3及び接続部12を形成し、表示電極との接続部56にも島状パターンを形成し、次にITOにより透明電極7を形成する。こうすることにより、Siと、ITOとの接続抵抗を低減することができる。その後、層間絶縁膜17として二酸化シリコン膜を形成し第2コンタクトホール55を形成し、信号電極4を形成することによりTFT基板は完成する。この製造プロセスは低温p-SiTFTプロセスであるが、高温p-SiTFTプロセスを用いてもよく、移動度の優れたTFTを得ることができ、TFTサイズを小型にすることができ、また、周辺の走査線選択回路などをTFTにより内蔵化することが容易になる利点がある。図5及び図6のマスクパターンはいずれも、サンプリングTFT10と画素駆動TFT

T6はコプレーナ構造となっており、サンプリングコンデンサ11はサンプリングTFT10のソース電極の島状Si50と、共通電極8の金属配線層との間にTFT保護膜52を介して形成されており、サンプリングコンデンサと画素駆動TFTとの接続は、接続部12を介してソース電極のSi島と、ゲート電極層とをコンタクトホール15により接続している。こうすることにより、サンプリングコンデンサをサンプリングTFTのソース領域すべてを含めて形成できるため、大きくとることができる。

【0036】図6はサンプリングコンデンサ11の構成を、共通電極8と、信号電極の層を島状にパターンニングして構成した場合で、絶縁層はTFT保護膜52である。コンデンサの電極がすべて金属膜により構成される。サンプリングコンデンサの面積は図5の場合よりも小さくなるものの、電極抵抗が図5の場合よりも低く、コンデンサへの書き込み時間の高速化が可能である。

【0037】図8、図9は、逆スタガ型TFTを用いた場合のマスクパターン及びA-B-C-D-E部の断面図である。逆スタガ構造であるため、TFTのゲート電極18は最下層にある。サンプリングコンデンサ11は共通電極8と、サンプリングコンデンサのソース電極19との間に形成される。この構成は、サンプリングコンデンサの絶縁膜が画素駆動TFT6、サンプリングTFT10の保護絶縁膜57と兼用でき、工程を簡略にすることができる。また、現在のTFT-LCDの製品の主流の技術であり、量産が容易である利点がある。

【0038】図10、図11は、正スタガ構造を用いた場合のマスクパターン及びA-B-C-D-E部の断面図である。正スタガ構造であり、ゲート電極が最も表面にある構成になる。サンプリングコンデンサは逆スタガと同様共通電極8と、サンプリングコンデンサのソース電極19との間に形成される。製造方法は、初めに信号電極4、透明電極7を形成し別個にパターンニングする、次にPE-CVD法により半導体層であるn-Siを形成し、パターンニングの後、i-Si、窒化シリコン層を形成しパターンニングする。その後、走査電極と、共通電極を形成しパターンニングする。本構造ではわずか5回の露光ですむので、生産が容易である。

【0039】次に、本発明の第2の実施例を図12に示す。本実施例では図1に示した画素部の実施例に加え、表示部1の複数の走査電極Gmをx-yマトリクス状に配列する。すなわち図12に示すように、横に並んだ画素に共通に接続し、表示部内の画素のy方向の位置を特定するためのy方向走査電極Gmyと、縦に並んだ画素に共通に接続し、表示部内の画素のx方向の位置を特定するためのx方向走査電極Gmxとを画素に配置し、これらの電極を用いて表示部内の特定の1画素を選択できるようにしたものである。また、表示部周辺に配置した走査線選択回路は、マトリクス状の走査配線Gmx及びGmy

に対応するため、図1に示すように、表示部の一辺に添って配置するのに加え、隣接するもう一辺、たとえば、左辺及び下辺に配置し、各々y方向走査電極Gmy、y方向走査電極Gmxを接続し、駆動する。さらに、画素内部には、x方向走査電極デコーターTFT24と、y方向走査電極デコーターTFT25を直列に接続してなるアドレスデコーター23を用いたデータ保持回路22と、信号電極21により構成される。アドレスデコーターは、x方向走査電極及びy方向走査電極にいずれもハイレベルが印加され、x方向走査電極デコーターTFT24と、y方向走査電極デコーターTFT25とが両方ともオンした場合に、信号電極21とサンプリングコンデンサが接続され、信号電極から印加する、画素のオン、オフ状態を電圧の高低により表わす信号データ電圧Vdataが、サンプリングコンデンサに充電される。以下にこの画素を動作波形を図13を用いて説明する。

【0040】表示内容を変更しようとする画素に接続された特定のx方向走査電極Gmx、y方向走査電極Gmyの電圧をハイレベルにし、画素を選択状態にする。選択画素のサンプリングコンデンサ11は、信号配線21と接続され、信号配線に印加されるVdataにより各々サンプリングコンデンサの端子間電圧Vmemが、Vdataまで充電される。Vmemが、画素駆動TFT6のしきい値電圧以上であると、画素駆動TFTはオン状態となり、先の実施例同様液晶には駆動電極が印加され、しきい値以下であると、液晶には駆動電圧は印加されない。また、選択されない画素は、アドレスデコーターを構成するTFTを同時にオンできないので、画素内のサンプリングコンデンサの端子間電圧は変化しないので、表示は変化しない。

【0041】先の実施例と比較すると、第1の実施例では表示の書き換えは、1本のx方向走査電極に接続された1列の画素が一斉に選択されるのに対して、この構成では、選択した1つの画素のみが書き替えられるため、図14に示したようにパネル内の特定の部分のみを書き替えることができ、パネル内での1画素単位の部分書き替えが可能となる利点がある。また、書き替え画素に接続されたx方向走査電極、y方向走査電極、データ配線のみの制御で良く、制御が容易となる。

【0042】次に、図15に第3の実施例を示す。本実施例の画素部には、複数の信号電極31、走査電極3、共通電極8、階調を変化させるための複数のサンプリングTFT32、およびサンプリングコンデンサ33、階調選択TFT36、分圧コンデンサ列35、対向電極9から構成される。

【0043】サンプリングTFTは、全てのゲート同士を走査電極に接続しており、ドレインとソースは各々独立に配置した複数のデータ配線と、個別のサンプリングコンデンサに接続されている。サンプリングコンデンサの他端はまとめて共通電極に接続している。サンプリン

グ T F T と接続されたコンデンサの端子は、複数の表示選択 T F T 3 4 と複数の階調選択 T F T 3 6 のゲート端子に接続され、ドレイン及びソース電極は表示電極と、共通電極間に接続したコンデンサ列の各々のコンデンサを短絡するように接続している。以下に回路動作について図 1 6 を用いて説明する。

【0 0 4 4】走査電極に画素選択パルスが印加されると、一行分の画素が一斉に選択され、画素内の複数のサンプリング T F T が同時にオン状態になり、各個の信号電極の電圧によりサンプリングコンデンサを充電し、 $V_{mem\ n0}$ を変化させる。 $V_{mem\ n3}$ は次に走査電極がハイレベルを印加されるまで、サンプリングコンデンサに保持される点は実施例 1 と同じである。

【0 0 4 5】この時、 V_{mem} として表示選択 T F T 3 4、及び、複数の階調選択 T F T 3 6 のしきい値電圧よりも高い電圧を印加されたサンプリングコンデンサはそれぞれの表示選択 T F T 3 4 及び階調選択 T F T 3 6 をオン状態にし、並列に接続したコンデンサ列のコンデンサを短絡する。また、表示選択 T F T 3 4 が選択されなければ、透明電極 7 とコンデンサ列は絶縁され、階調表示 T F T の動作状況によらず対向電極から印加される交流電圧は液晶に印加されないで液晶は駆動されない。階調表示を行うためには信号電極の電圧を、高、低の組み合わせにより階調データをサンプリングコンデンサに印加する。この電圧値の組み合わせにより、いくつかのコンデンサ列を構成するコンデンサは短絡され、これらの合成容量が変化する。

【0 0 4 6】また、表示電極と対向電極との間の液晶容量はこのコンデンサ列と直列に接続される。表示を行うための液晶駆動電源 V_{ent} は共通電極と、対向電極間に印加される。従って、液晶層に印加される液晶駆動電圧はコンデンサ列の表示データにより変化した合成容量と、液晶容量により分圧されて印加される。従って、コンデンサ列の合成容量が階調データにより変化されると液晶印加電圧が変化するので、階調表示が可能になる。このように、本実施例によれば、液晶に印加する電圧を段階的に変化させることが可能となり、多階調表示を得ることができる。

【0 0 4 7】また、階調表示可能な他の実施例を図 1 7 に示す。この場合では、分圧コンデンサ列 3 5 が、透明電極 7 と共通電極 8 との間に並列に接続されており、各々のコンデンサと、共通電極との間には階調選択 T F T 3 6 が挿入されている。この構成により、階調選択 T F T の動作点が、共通電極がソースが接続されるため、サンプリングコンデンサ 3 3 の電圧が低くても階調選択 T F T を確実に駆動できるため、信号電極の電圧を低くすることができ、パネルの動作電圧の低減と、消費電力の低減が可能である利点がある。

【0 0 4 8】更に、本発明の画素部の他の実施例を図 1 8 に示す。図 1 8 に示す画素は図 5、図 6 で説明した実

施例の画素と同じ構造であるが、本実施例では、各電極と、図示していないが T F T 基板と対向する対向基板電極とに液晶を挟持した構造となっていることにより形成される静電容量である液晶容量、信号電極 4 と、共通電極 8 との配線交差部 5 9 及び走査電極 3 との配線交差部 5 8 に形成される容量の和である交差部容量との関係を次式のとおりに規定したものである。

【0 0 4 9】[液晶容量] < { [信号電極容量] + [配線交差部容量] } × [走査配線数]

この関係を規定することにより、表示内容を変更しない場合に、図 1 9 に示す同じ配線交差部 5 8 を有する従来例よりも消費電力を少なくすることができる。以下にこの規定の内容を図 1 8 に示す本実施例について詳細に説明する。

【0 0 5 0】図 5 に示す構造の画素において画素が消費する電力のほとんどが、各配線などの寄生容量の充放電による損失である。このとき、容量値と、消費電力との関係は、コンデンサ $C(F)$ を振幅電圧 $V(V)$ 、繰り返し周波数 $f(Hz)$ の方形波で充放電を繰り返す場合を仮定すると、消費電力 $P(W)$ は周波数及び電圧振幅の二乗に比例し、次式で表される。

【0 0 5 1】 $P = C \times V \times V \times f$

本実施例の図 5 に示す構造の画素における寄生容量のなかで、T F T 基板に形成する電極と、液晶を挟持して対向する対向基板上に形成した対向電極とのあいだの静電容量は各電極毎に、走査電極、信号電極、共通電極、表示電極との容量は 1 画素当たり各々 C_{GLC} 、 C_{DLC} 、 C_{COMLC} 、 $C_{PXL C}$ とすると、各容量値は以下の式で表される。

【0 0 5 2】 $C_{DLC} = \epsilon \times \epsilon_{LC} \times S_D \div t_{LC}$

$C_{GLC} = \epsilon \times \epsilon_{LC} \times S_G \div t_{LC}$

$C_{COMLC} = \epsilon \times \epsilon_{LC} \times S_{COM} \div t_{LC}$

$C_{PXL C} = \epsilon \times \epsilon_{LC} \times S_{PX} \div t_{LC}$

ただし、 ϵ : 真空誘電率、 ϵ_{LC} : 液晶の比誘電率、 S_p : 画素電極面積、 S_D : 信号電極面積、 S_G : 走査電極面積、 S_c : 共通電極面積、 t_{LC} : 液晶セルの厚み。

【0 0 5 3】また、画素の走査電極、共通電極と、信号配線との交差部容量を各々 $C_{GDcross\ 5\ 8}$ 、 $C_{DCOMcross\ 5\ 9}$ とすると、各々の容量は以下の式で表される。

【0 0 5 4】 $C_{GDcross} = \epsilon \times \epsilon_{ins} \times S_{GD} \div t_{ins}$

$C_{DCOMcross} = \epsilon \times \epsilon_{ins} \times S_{DCOM} \div t_{ins}$

これらの容量の充放電による電力の損失を計算する。本発明のパネルでは、表示を変更しない場合、T F T 基板上の電極である走査電極、信号電極は、一定の電圧に保たれ、パルス波形が印加されないで、これらの容量を駆動する交流電圧は、 C_{GLC} 、 C_{DLC} 、 C_{comLC} 、 C_{pxLC} を対向電極から印加する液晶駆動電圧のみで、電圧 V_{LC} 、液晶駆動周波数 $f(LC)$ である。し

たがって、各々の容量の消費電力の和である液晶系の消費電力 PLC は以下のとおりである。

$$PLC(発明) = \{CGLC + CDLC + CcomLC + CpxLC\} \times VLC \times VLC \times f(LC)$$

具体的には、液晶として TN 液晶を用い、液晶のしきい値電圧が $3V$ 、飽和電圧が $8V$ 、 TFT のしきい値電圧が $2V$ とすると、 VLC は $15V$ 程度である。また、 $f(LC)$ は、フレーム周波数 $60Hz$ の場合では $30Hz$ で動作する。また、交差部容量の充放電の際の損失電力については、本発明によれば、フレーム毎の表示データの画素への書込みの必要はないので、走査電極、信号電極には交流波形は印加されないので、充放電の必要はない。

【0055】一方、図19に示す従来例では、電力損失が発生する容量値は、対向電極とのあいだの静電容量として、走査電極、信号電極、表示電極との容量があり、各々、1画素当り各々 $CGLC$ 、 $CDLC$ 、 $CpxLC$ とすると、各容量値は以下の式で表される。

$$\begin{aligned} CDLC &= \varepsilon \times \varepsilon LC \times SD \div tLC \\ CGLC &= \varepsilon \times \varepsilon LC \times SG \div tLC \\ CpxLC &= \varepsilon \times \varepsilon LC \times SPX \div tLC \end{aligned}$$

各々の配線に印加される電圧及び周波数として、走査電極には、フレーム周波数 $60Hz$ に対応するフレーム周波数 $f(f1m)$ 毎に電圧値 $VG(V)$ のパルス波形が1回印加される。電圧振幅を VG とする。一般的には液晶印加電圧である VLC よりも TFT のしきい値電圧以上に高い電圧が必要であるので、 VLC を $15V$ とすると、 $VG = 20V$ 必要となる。また、信号電極には、次式で定義される水平走査周波数 $\{f(H)\}$ 毎に電圧が変化する交流電圧が印加される。印加電圧振幅は、液晶駆動電圧である VLC である。

【0057】

(水平周波数) = (フレーム周波数) \times (走査信号本数)

具体的にはフレーム周波数 $60Hz$ 、走査配線数 480 本であると、水平周波数は $28.8kHz$ である。

【0058】表示電極に印加される電圧は、フレーム周期毎に極性が反転する交流液晶駆動電圧であり、駆動周波数はフレーム周波数の $1/2$ である $30Hz$ $\{f(LC)\}$ 、電圧は VLC である。

【0059】以上の条件で、液晶容量を充放電する際の損失電圧は、以下の式で計算される。

$$PLC(従来) = CpxLC \times VLC \times VLC \times f(LC) + CGLC \times VG \times VG \times f(f1m) + CDLC \times VLC \times VLC \times f(H)$$

電極間の交差部については、走査電極と信号電極電圧との差電圧であるので、次式のとおりに計算される。

$$P_{cross}(従来) = CGD_{cross} \times [\{VLC \times VLC \times f(H)\} + \{VG \times VG \times f(f1m)\}]$$

したがって、従来例の損失の合計 $P(従来)$ は、 $PLC(従来)$ と $P_{cross}(従来)$ の和であるので、

$$\begin{aligned} P(従来) &= CpxLC \times VLC \times VLC \times f(LC) + CGLC \times VG \times VG \times f(f1m) + CDLC \times VLC \times VLC \times f(H) + CGD_{cross} \times [\{VLC \times VLC \times f(H)\} + \{VG \times VG \times f(f1m)\}] \\ &= (CDLC + CGD_{cross}) VLC \times VLC \times f(H) + (CGLC + CGD_{cross}) \times VG \times VG \times f(f1m) + (CpxLC) \times VLC \times VLC \times f(LC) \end{aligned}$$

この中で電圧及び周波数を実用の範囲として実数を代入すると、フレーム周波数 $60Hz$ 、走査配線数 480 本であると、水平周波数は $28.8kHz$ である。液晶として TN 液晶を用い、液晶のしきい値電圧が $3V$ 、飽和電圧が $8V$ 、 TFT のしきい値電圧が $2V$ とすると、 VLC は $15V$ 程度である。また、 $f(LC)$ は、フレーム周波数 $60Hz$ の場合では $30Hz$ で動作するので、上記の式は、

$$P(従来) = (CDLC + CGD_{cross}) \times 6480000 + (CGLC + CGD_{cross}) \times 1200 + (CpxLC) \times 6750$$

となるので、第2項、第3項は無視することができる。したがって、 $P(従来)$ は実用上の範囲では次式と考えてよい。

$$P(従来) = (CDLC + CGD_{cross}) VLC \times VLC \times f(H)$$

そこで、本実施例では、この電力よりも、 $PLC(発明)$ を少なくする条件を規定することによりパネルの駆動電力損失を従来例よりも少なくすることが実現できる。その条件を、次式に示す。

【0063】 $PLC(発明) < P(従来)$

$$\{CGLC + CDLC + CcomLC + CpxLC\} \times VLC \times VLC \times f(LC) < (CDLC + CGD_{cross}) VLC \times VLC \times f(H)$$

すなわち、

$$\{CGLC + CDLC + CcomLC + CpxLC\} \times f(LC) < (CDLC + CGD_{cross}) f(H) \text{ の条件を満たせばよい。}$$

【0064】 $f(H)$ は、 $f(LC) \times$ (走査電極数) であるので、

$$\{CGLC + CDLC + CcomLC + CpxLC\} \times f(LC) < (CDLC + CGD_{cross}) \times f(LC) \times (\text{走査電極数})$$

したがって、両辺を $f(LC)$ で割ると、

$$\{CGLC + CDLC + CcomLC + CpxLC\} < (CDLC + CGD_{cross}) \times (\text{走査電極数})$$

この中で、左辺の $(CGLC + CDLC + CcomLC + CpxLC)$ の項は、本実施例の走査電極、信号電極、表示電極と、対向電極間の容量の和すなわち液晶容量 CLC 、右辺の $(CDLC + CGD_{cross})$ の項は、信号電極と対向電極間の容量、および信号電極と走査電極間の配線交差部容量の和を示す。

【0065】したがって、上記の式は、

$$[\text{液晶容量}] < [\text{信号電極容量}] + [\text{配線交差部容}]$$

量] } × [走査配線数]

の条件を満たすことにより従来例よりも消費電力の少ないパネルを得ることができる。

【0066】更に、図20に反射型の液晶表示装置の画素構造を示す。図20において、画素内を構成する内容は、第1から第3に示した実施例と同じであるが、反射型電極構造を用いる点に特徴がある。

【0067】反射表示電極30は、画素内の構成要素であるTFTや、配線はどの領域においても他の構成要素と電気的に絶縁することにより、重ねて配置することができ、表示領域を大きくとる利点がある。

【0068】従来技術に示した画素において開口率の高い反射型画素を構成しようとする、表示電極を走査電極や、信号電極と重ねて配置しなければならない。この場合、走査電極、信号電極と表示電極との間に容量結合が形成され、保持状態にある画素の表示電極の電圧が表示状況によらず正しく表示できない。これは、保持動作時の表示電極が電氣的にどの電極からも絶縁状態にあるため、走査電極、信号電極に印加されるパルス電圧により表示電極の電圧が影響を受けるためである。

【0069】しかしながら、本発明の構成では、選択時の表示電極は、画素駆動TFTにより共通電極と接続されているので、走査電極、信号電極との容量結合により表示電極電圧は影響を受けず、常に良好な表示を得ることができる特徴がある。

【0070】また、表示電極の下部の部分は、表示電極の影となりパネル表面から直視できないので、ここにTFTを配置することによりTFTへの光照射を大幅に低減することができる。屋外などの強い外光の下で使用する場合に、強い光がTFTのオフ電流を著しく増大させ、表示特性を劣化させる要因であり、本実施例の構造によりこのオフ電流の低減を回避することができる。とりわけ、反射型表示パネルで、消費電力の低いパネルは、携帯用機器のパネルとして好適であり、その場合に予想されるオフ電流の増大は、構造により有効に改善される。同時に反射型構造パネルは、従来例のパネルに不可欠であった消費電力の大きいバックライトを不要とするので、本発明の目的である表示パネルの消費電力低減効果と組み合わせることにより、消費電力の大幅な低減が可能になり有効である。

【0071】これを製造するためには、図7に示した断面構造において、走査電極形成後にSiO₂や、Si、Nなどの絶縁膜で表面に絶縁層を形成し、表示電極と、画素駆動TFTとを接続するためのコンタクトホールを形成し、反射率の高いAlもしくは銀などの金属薄膜を形成し、パターニングすれば形成可能である。反射率をより高めるため、絶縁層を形成した後、精密研磨などの平坦化技術により、表面の凹凸を取り除いてから形成することも有効である。

【0072】この場合、液晶として、色素を分散したゲ

ストホスト型液晶など、反射表示モードでコントラストが得られる表示モードを用いることが必要であり、他にはPCGHモードなども適用可能であることはいうまでもない。また、ポリマー分散型液晶を組み合わせてもよい。ポリマー分散型液晶は他の液晶に比べ、液晶が固体または粘度の高い樹脂により固定されており、大型パネルを均一に製造する点が有利である。

【0073】

【発明の効果】本発明によれば、画素内に表示情報を保つことができ、表示を書き替えない場合には走査電極及び信号電極を駆動しなくてもよい。そのため、パネルの消費電力を低減することができる。

【0074】また、画素内に画素アドレス選択手段を設けることにより表示を書き替える画素を1画素単位にすることが可能で、動作電力の低減と、表示素子をビットマップメモリとして管理することができるので、表示管理が大幅に簡略化される。

【0075】更に、本発明の実施態様によれば、画素内部に複数ビットの表示情報を蓄え、この情報を反映して表示電極に印加する電圧を制御することができ、多階調の良好な表示を得、さらにカラーフィルターを組み合わせることによりマルチカラーの表示を得ることが可能となる。

【0076】また、本発明の他の実施態様によれば、表示電極を反射材料を用い、表示モードを反射モードとすることにより、画素内部に回路素子を多数配置しても画素の開口率を高く保つことができ、明るい環境の下でもTFTオフ電流を低く保つことができ、良好な表示を提供することができる。

【図面の簡単な説明】

【図1】本発明の液晶表示装置の実施例を示す図である。

【図2】図1に示した画素部の構成を示す図である。

【図3】図2に示した画素部の駆動波形を示す図である。

【図4】本発明によるメモリ回路を有する画素部の構成を示す図である。

【図5】コプレーナ構造の画素部マスク図である。

【図6】コプレーナ構造の画素部の他のマスク図である。

【図7】図5に示したコプレーナ構造の断面図である。

【図8】逆スタガ構造の画素部のマスク図である。

【図9】図8に示した逆スタガ構造の断面図である。

【図10】正スタガ構造の画素部のマスク図である。

【図11】図10に示した正スタガ構造の断面図である。

【図12】本発明による画素アドレス選択回路を有する画素の構成図である。

【図13】図12に示した画素部の駆動波形を示す図である。

19

【図 1 4】本発明による部分表示動作を説明する図である。

【図 1 5】本発明による階調選択 T F T を有する画素部の構成図である。

【図 1 6】図 1 5 に示した画素部の駆動波形を示す図である。

【図 1 7】本発明による階調選択 T F T を有する他の画素部の構成図である。

【図 1 8】本発明による画素部の外観図である。

【図 1 9】従来の液晶表示装置の画素部の外観図である。

【図 2 0】本発明による反射電極を有する画素部のマスク図である。

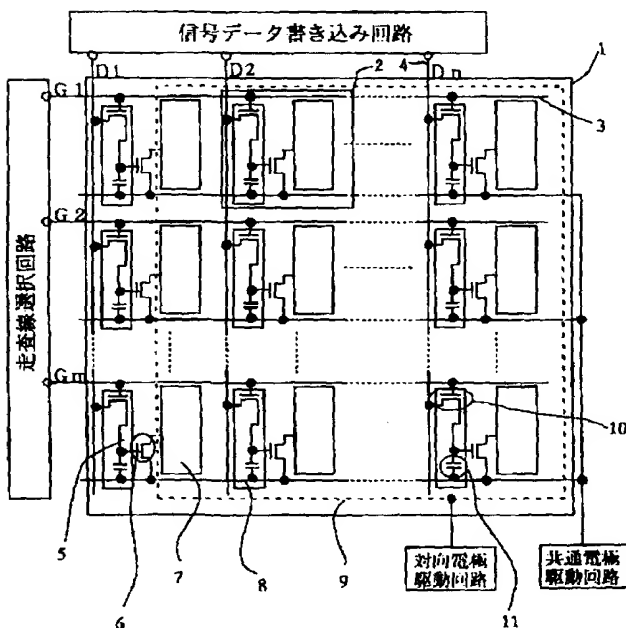
【符号の説明】

1…表示部、2…画素部、3…走査電極、4…信号電極、5…表示データ保持回路、6…画素駆動 T F T、7…透明電極、8…共通電極、9…対向電極、10…サン

プリング T F T、11…サンプリングコンデンサ、12…接続部、13…メモリ回路、14…電源配線、15…コンタクトホール、16…ゲート絶縁膜、17…層間絶縁膜、18…ゲート電極、19…ソース電極、21…信号電極、22…表示データ保持回路、23…アドレスデコーター、24…x 方向走査電極デコーター T E T、25…y 方向走査電極デコーター T F T、30…反射表示電極、31…複数の信号電極、32…複数のサンプリング T F T、33…サンプリングコンデンサ、34…複数の表示選択 T F T、35…分圧コンデンサ列、36…階調選択 T F T、50…島状 S i、51…ゲート部、52…T F T 保護膜、53…第 1 コンタクトホール、54…下部電極、55…第 2 コンタクトホール、56…表示電極との接続部、57…トランジスタ保護絶縁膜、58…走査電極との配線交差部、59…共通電極との配線交差部。

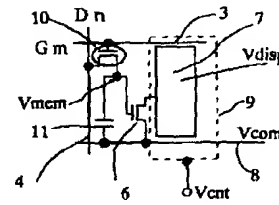
【図 1】

図 1



【図 2】

図 2

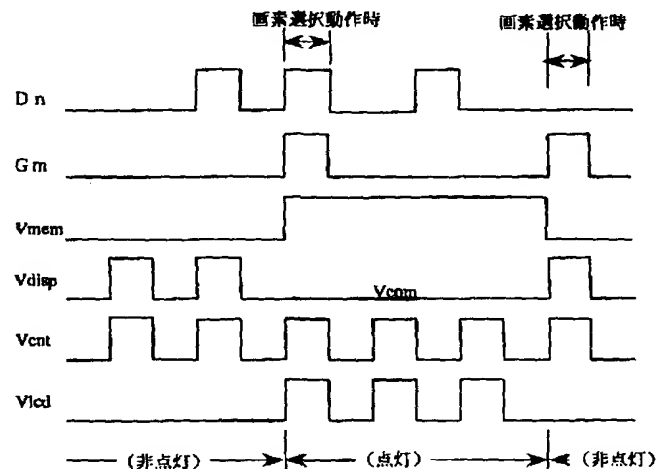


【図 4】

図 4

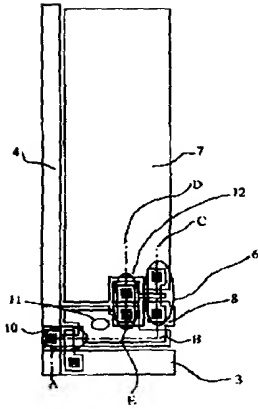
【図 3】

図 3



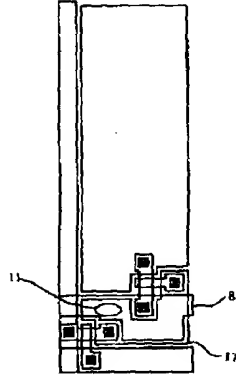
【図 5】

図 5



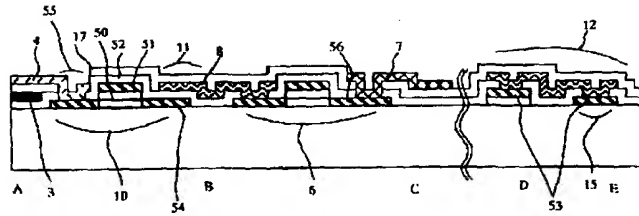
【図 6】

図 6



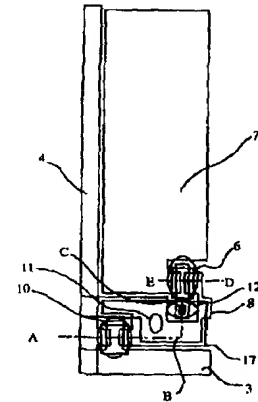
【図 7】

図 7



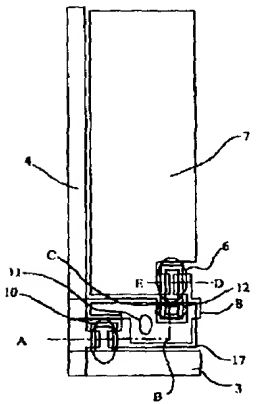
【図 10】

図 10



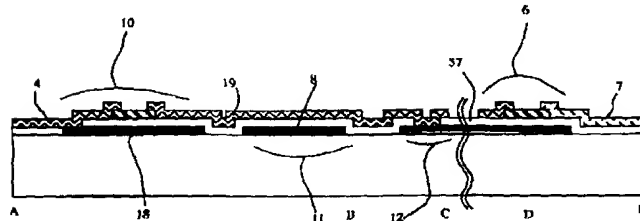
【図 8】

図 8



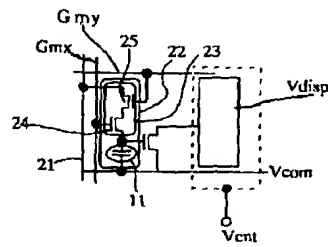
【図 9】

図 9



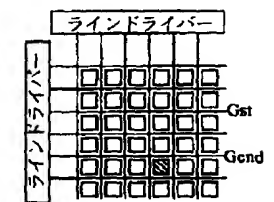
【図 12】

図 12



【図 14】

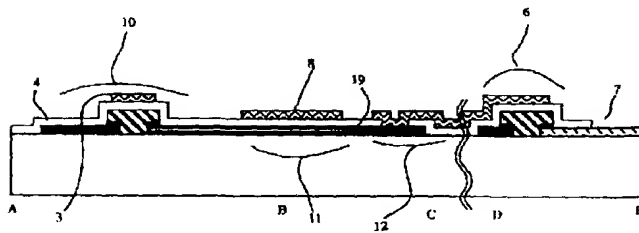
図 14



■動作領域
□非動作領域

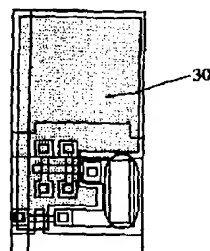
【図 11】

図 11



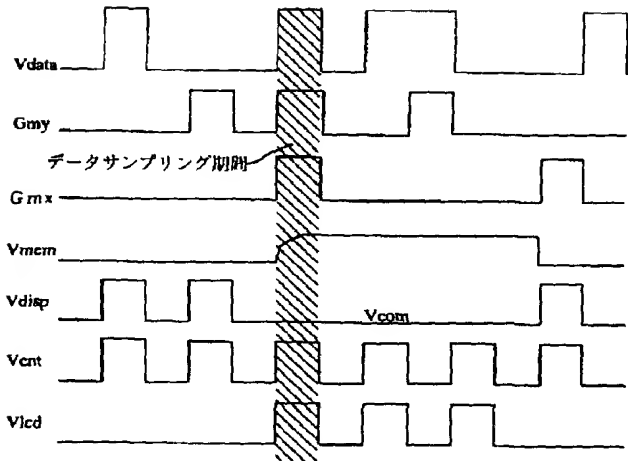
【図 20】

図 20



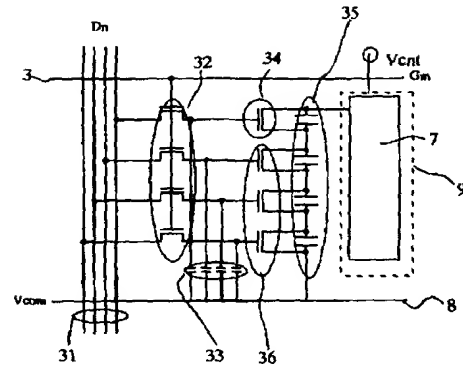
【図 13】

13



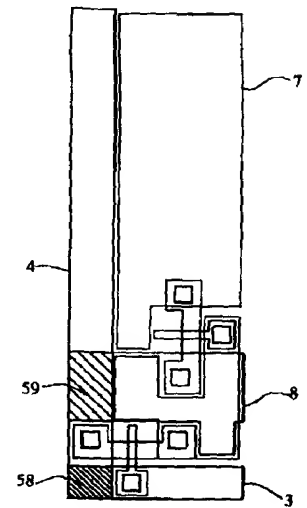
【图 15】

15



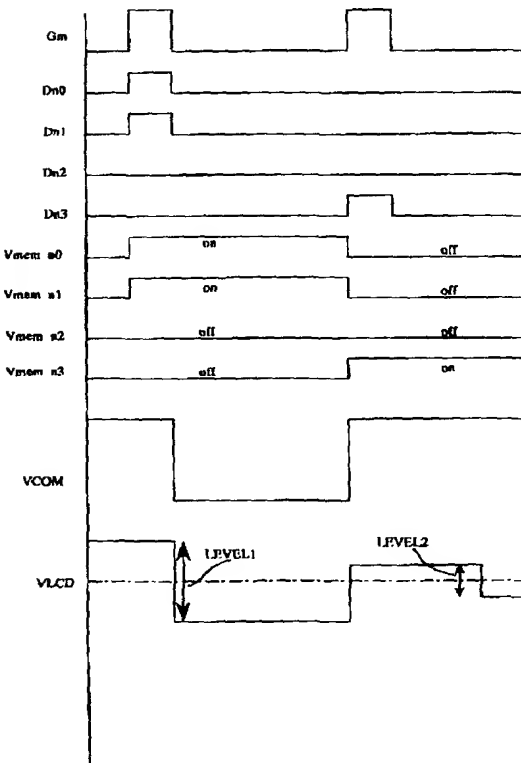
【图 18】

18



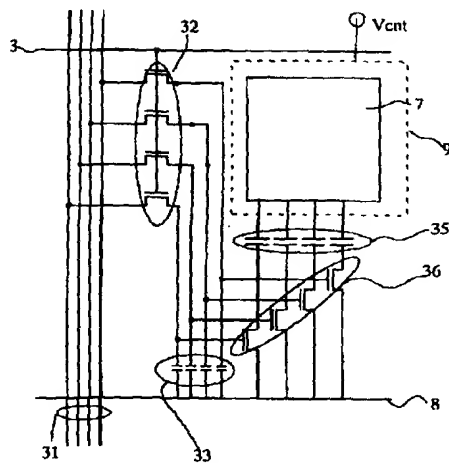
【图 16】

图 16



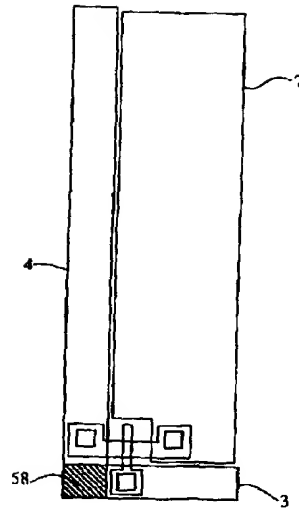
【图 17】

17



【図 19】

図 19



フロントページの続き

(72)発明者 桑原 和広
茨城県日立市大みか町七丁目1番1号 株
式会社日立製作所日立研究所内

(72)発明者 小村 真一
茨城県日立市大みか町七丁目1番1号 株
式会社日立製作所日立研究所内